

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 8 0 7 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 8 0 7 0]

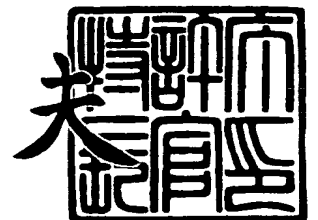
出 願 人 新日本無線株式会社
Applicant(s):



特許庁長官
Commissioner,
Japan Patent Office

2 0 0 3 年 7 月 2 3 日

今 井 康 夫



【書類名】 特許願

【整理番号】 02089

【提出日】 平成15年 3月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 1/30
H03G 3/10

【発明者】

【住所又は居所】 埼玉県上福岡市福岡二丁目 1 番 1 号 新日本無線株式会社
社川越製作所内

【氏名】 高木 進

【特許出願人】

【識別番号】 000191238

【氏名又は名称】 新日本無線株式会社

【代理人】

【識別番号】 100099818

【弁理士】

【氏名又は名称】 安孫子 勉

【手数料の表示】

【予納台帳番号】 064699

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 利得可変型増幅器

【特許請求の範囲】

【請求項 1】 信号増幅用電界効果トランジスタを用いて高周波信号の増幅が行われるよう構成されてなる利得可変型増幅器であって、

増幅器バイパス用電界効果トランジスタを中心として構成されてなる増幅器バイパス手段が前記信号増幅用電界効果トランジスタと並列に設けられる一方、

前記信号増幅用電界効果トランジスタのソース端子側には、当該トランジスタの動作を制御するバイアス SW 用電界効果トランジスタが接続され、

前記信号増幅用電界効果トランジスタの第 2 のゲート端子が前記バイアス SW 用電界効果トランジスタのソース端子と自己バイアス抵抗器との接続点に接続されてなることを特徴とする利得可変型増幅器。

【請求項 2】 信号増幅用電界効果トランジスタを用いて高周波信号の増幅が行われるよう構成されてなる利得可変型増幅器であって、

前記信号増幅用電界効果トランジスタは、デュアルゲート型のものであって、その第 1 のゲート端子は第 1 の DC カット用キャパシタ及び入力インピーダンス整合回路を介して高周波信号入力端子に接続される一方、ドレイン端子は、出力インピーダンス整合回路及び第 2 の DC カット用キャパシタを介して高周波信号出力端子に接続され、

前記第 1 の DC カット用キャパシタと前記入力インピーダンス整合回路の接続点に増幅器バイパス用電界効果トランジスタのソース端子が第 3 の DC カット用キャパシタを介して接続される一方、当該増幅器バイパス用電界効果トランジスタのドレイン端子が第 4 の DC カット用キャパシタを介して前記信号増幅用電界効果トランジスタのドレイン端子と前記出力インピーダンス整合回路の接続点に接続され、

前記信号増幅用電界効果トランジスタ及び前記増幅器バイパス用電界効果トランジスタの各々のゲート端子が、それぞれ抵抗器を介してグランドに接続され

前記信号増幅用電界効果トランジスタのソース端子がインダクタを介してバイアス SW 用電界効果トランジスタのドレイン端子に接続されると共に、当該ドレ

イン端子は、キャパシタを介してグラウンドに接続され、

前記信号増幅用電界効果トランジスタの第2のゲート端子と前記バイアスSW用電界効果トランジスタのソース端子が相互に接続されると共に、当該接続点とグラウンドとの間には、自己バイアス抵抗器とバイパスキャパシタがそれぞれ接続され、

前記バイアスSW用電界効果トランジスタのゲート端子がゲートバイアス抵抗器を介して第1のコントロール電圧印加端子に接続され、

前記増幅器バイパス用電界効果トランジスタのドレイン端子及びソース端子が、それぞれ抵抗器を介して第2のコントロール電圧印加端子に接続されてなることを特徴とする利得可変型増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、利得可変型の増幅器に係り、特に、各種の無線通信機器において高周波信号の増幅に用いられるものにあつて、入出力電力特性の向上等を図つたものに関する。

【0002】

【従来の技術】

従来、この種の増幅器としては、例えば、増幅動作を行う増幅用半導体素子の入力側において、その増幅用半導体素子への高周波入力ラインとグラウンドとの間に、外部からの制御電圧によって導通状態を可変できる信号減衰用半導体素子を直列に設け、増幅用半導体素子への入力信号の減衰を行えるようにして利得可変可能に構成されたものが公知・周知となっている（例えば、特許文献1参照。）

増幅器の利得を変える方策としては、上述のようにいわゆる利得可変を行う回路を設けるだけでなく、例えば、十分な信号入力に対しては、増幅器の電源電圧を断として最小の利得とする方法もある。

【0003】

【特許文献1】

特開 2001-237650 号公報 (第 3-4 頁、第 1 図)

【0004】

【発明が解決しようとする課題】

ところで、上述したような増幅器の入力側には、前段の回路と増幅器とのインピーダンス整合を行う入力インピーダンス整合回路が、また、出力側には、後段の回路と増幅器とのインピーダンス整合を行う出力インピーダンス整合回路が、それぞれ設けられることが多い。

このようなインピーダンス整合回路は、通常、微弱な信号が入力される場合を想定し、利得可変を行わない状態、すなわち、換言すれば、増幅器の利得が最大時において最適化されるため、増幅器の入力端及び出力端のそれぞれにおける電圧定在波比は、良好な特性を得ることができる。

【0005】

その一方、利得可変時、すなわち、換言すれば、増幅器の利得を最小とする場合には、先の特許文献 1 に開示された構成の増幅器においては、信号減衰用半導体素子がオン状態（導通状態）となり増幅器の入力及び出力インピーダンスが、利得可変を行わない場合と大きく異なるため、入出力端にそれぞれインピーダンス整合回路が設けられていても、これらのインピーダンス整合回路は先に述べたように増幅器の利得が最大時に最適化されていることから、利得可変時における電圧定在波比は著しく悪化してしまう。

その結果、増幅器の前段や後段に接続されるフィルターの特性悪化を招来し、結局、無線通信機の受信性能を著しく悪化させてしまうという問題がある。

【0006】

また、利得可変を行う回路を設けずに、電源供給の有無により利得可変を行うようにした増幅器の場合、電源供給を断つことにより無線通信機の低消費電力化が図られるという利点はあるものの、この場合にあっては、増幅器の入出力インピーダンスは、電源供給時と電源供給を断とした場合とでは大きく異なるため、電源供給を断とした場合における増幅器の入出力端における電圧定在波比が電源供給時に比して悪化してしまうという問題が生ずる点では、利得可変を行う回路を設けた増幅器と同様である。

さらに、このような電源電圧の供給の有無によって利得可変を行うようにした増幅器においては、その利得可変時（電源非供給時）の利得が、信号増幅用半導体素子の入出力間アイソレーションによりほぼ決定されてしまうために、利得減衰量、すなわち、利得可変を行わない場合（電源供給時）の利得と利得可変を行う場合（電源非供給時）の利得の差を任意に設定することが不可能であるため、使い勝手が悪いという問題がある。

【0007】

そこで、本願発明者は、上記問題を解決し、利得可変時における低消費電力を実現しつつ、利得可変の有無に関わらず入出力端における電圧定在波比の良好な利得可変型増幅器を発明し、既に出願を行った（特願20002-361266号）。

図3には、かかる本願発明者により発明された利得可変型増幅器の回路構成が示されており、以下、同図を参照しつつこの増幅器について概括的に説明する。

この図3に示された利得可変型増幅器は、信号増幅用FET（電界効果トランジスタ）1により入力された高周波信号が増幅されると共に、バイアスSW用FET 5によって利得可変の有無が選択可能に構成されてなるものである。そして、さらに、信号増幅用FET 1の第1のゲート端子（G1）側に第1のDCカット用キャパシタ6及び抵抗器7並びに入力インピーダンス補正用FET 2が配設され、また、信号増幅用FET 1のドレイン端子側に第2のDCカット用キャパシタ12及び抵抗器13並びに出力インピーダンス補正用FET 3が配設され、さらに、信号増幅用FET 1の第1のゲート端子（G1）とドレイン端子間に第4のDCカット用キャパシタ23、増幅器バイパス用FET 4及び第5のDCカット用キャパシタ27が配設されたものとなっている。

【0008】

かかる構成において、利得可変を行わない場合（最大利得を得る場合）には、電源電圧印加端子34に信号増幅用FET 1が動作するような電圧を印加すると共に、第2のコントロール電圧印加端子37には、バイアスSW用FET 5がON状態となるようなバイアス電圧を印加する一方、第1のコントロール電圧印加端子36には、増幅器バイパス用FET 4、入力インピーダンス補正用FET 2

及び出力インピーダンス補正用 FET 3 のピンチオフ電圧を V_p とした場合、 $-V_p$ 以上のバイアス電圧を印加することで、信号増幅用 FET 1 が増幅動作を行う状態となる一方、増幅器バイパス用 FET 4、入力インピーダンス補正用 FET 2 及び出力インピーダンス補正用 FET 3 は OFF 状態となる。そして、高周波信号入力端子 32 へ印加された高周波信号は、増幅器バイパス用 FET 4、入力インピーダンス補正用 FET 2 及び出力インピーダンス補正用 FET 3 で減衰されることなく信号増幅用 FET 1 により最大利得で増幅されて高周波信号出力端子 33 から得ることができる。

【0009】

一方、利得可変時、すなわち、最小利得を得る場合、第 2 のコントロール電圧印加端子 37 には、バイアス SW 用 FET 5 が OFF 状態となるようなバイアス電圧を印加する一方、第 1 のコントロール電圧印加端子 36 には、 $-V_p$ 以下のバイアス電圧を印加することで、信号増幅用 FET 1 が OFF 状態となり、増幅器バイパス用 FET 4、入力インピーダンス補正用 FET 2 及び出力インピーダンス補正用 FET 3 は ON 状態となる。そして、高周波入力端子 32 への高周波入力信号は、増幅器バイパス用 FET 4 を介して高周波信号出力端子 33 へバイパスされると共に、信号増幅用 FET 1 の入力側における入力インピーダンスの変動が、入力インピーダンス補正用 FET 2 を中心とした回路部分によって補正され、また、信号増幅用 FET 1 の出力側における出力インピーダンスの変動が、出力インピーダンス補正用 FET 3 を中心とした回路部分によって補正されるようになっている。そのため、利得可変を行わない状態、すなわち、信号増幅用 FET 1 のみが動作して最大利得が得られる場合と比較して、利得可変時における増幅器の入出力端子における電圧定在波比の変動を小さくし、かつ、利得可変時に低消費電力化が可能となっている。

【0010】

しかしながら、この利得可変型増幅器においては、次述するような問題がある。

まず、信号増幅用 FET 1 が OFF 状態とされて、高周波入力端子 32 へ印加された高周波信号が、増幅器バイパス用 FET 4 を介して高周波信号出力端子 3

3へバイパスされる動作状態にあっても、信号増幅用FET1は、増幅器バイパス用FET4を中心としたバイパス回路と並列に配置されているため、高周波入力端子32へ印加された高周波信号は、実際には信号増幅用FET1の第1のゲート端子(G1)にも印加され、その信号レベルは、高周波入力端子32へ印加された高周波信号のレベルの増大と共に増大するものとなる。

ここで、信号増幅用FET1の第1のゲート端子(G1)とソースとの間には、等価的にダイオードが接続されていると見ることができる。したがって、先に述べたように高周波信号入力により第1のゲート端子(G1)の電位が上昇すると、ソース電位も同様に上昇してしまう。また、信号増幅用FET1の第2のゲート端子(G2)は、ソースインダクタ20を介して信号増幅用FET1のソースと接続されているため、結果としてこの第2のゲート端子(G2)の電位もソース電位と共に上昇することとなる。

【0011】

ところで、信号増幅用FET1のドレインには、予め電源電圧印加端子34よりチョークインダクタ28を介してこの信号増幅用FET1が動作するようなバイアスが印加されているが、例えば、高周波信号入力端子32に強電界の高周波信号入力信号が印加された場合には、それによって、先に述べたように信号増幅用FET1のソース端子、第2のゲート端子(G2)の電位が上昇し、その結果、信号増幅用FET1のドレイン端子及びソース端子並びに第2のゲート端子(G2)の各々の電位が同電位(0V)に近くなるため、本来であれば、非導通状態にあるべき信号増幅用FET1のドレイン・ソース間が導通状態となってしまうという不都合を生ずることがある。このため、高周波信号入力端子32に印加された強電界の高周波信号は、入力インピーダンス整合回路29、DCカット用キャパシタ23、増幅器バイパス用FET4及びDCカット用キャパシタ27を介して高周波信号出力端子33に出力されると共に、上述のようにして実質的に導通状態となってしまった信号増幅用FET1のドレイン・ソース間、ソースインダクタ20及びソースキャパシタ22を介してグランドへ漏洩されてしまう結果となる。このようにして、高周波信号出力端子33に出力されるべき高周波信号が減衰されてしまうため、図3に示された利得可変型増幅器においては、強電

界の高周波信号が入力された場合における線形特性が著しく損なわれてしまうという問題がある。

図4には、図3に示された利得可変型増幅器の利得可変時における入力電力に対する利得変化の様子を示す特性図が示されているが、同図によれば、高周波信号の入力レベルが増大した場合に、増幅器としての線形特性が極端に劣化することが確認できる。

【0012】

本発明は、上記実状に鑑みてなされたもので、利得可変時における入出力電力特性の良好な利得可変型増幅器を提供するものである。

【0013】

【課題を解決するための手段】

上記発明の目的を達成するため、本発明に係る利得可変型増幅器は、
信号増幅用電界効果トランジスタを用いて高周波信号の増幅が行われるよう構成されてなる利得可変型増幅器であって、

増幅器バイパス用電界効果トランジスタを中心として構成されてなる増幅器バイパス手段が前記信号増幅用電界効果トランジスタと並列に設けられる一方、

前記信号増幅用電界効果トランジスタのソース端子側には、当該トランジスタの動作を制御するバイアスSW用電界効果トランジスタが接続され、

前記信号増幅用電界効果トランジスタの第2のゲート端子が前記バイアスSW用電界効果トランジスタのソース端子と自己バイアス抵抗器との接続点に接続されてなるものである。

【0014】

かかる構成においては、利得可変時、すなわち、増幅器を最小利得とする場合に、高周波入力信号のレベルが増大し、それにより信号増幅用電界効果トランジスタのソース端子の電圧が上昇したとしても、信号増幅用電界効果トランジスタの第2のゲート端子の電位は、ほぼ0Vに維持することができ、この第2のゲート端子(G2)の電圧を常にソース端子の電位よりも低く保持できることとなるので、信号増幅用電界効果トランジスタのドレイン・ソース間を絶えず非導通状態に保つことが可能となり、その結果、入力された強電界の高周波信号が、増幅

器バイパス手段を通過した後、信号増幅用電界効果トランジスタのドレイン・ソース間を介してグラウンドに漏洩されることなく、良好な線形特性を得ることが可能となるものである。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について、図1及び図2を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。

本発明の実施の形態における利得可変型増幅器は、信号増幅用FET（電界効果トランジスタ）1により入力された高周波信号が増幅されると共に、バイアスSW用FET2によって利得可変の有無が選択可能に構成されてなるものである。そして、さらに、信号増幅用FET1の第1のゲート端子（G1）とドレイン端子間に第3のDCカット用キャパシタ（バイパス用FETソース側DCカット用キャパシタ）13、増幅器バイパス用FET3及び第4のDCカット用キャパシタ（バイパス用FETドレイン側DCカット用キャパシタ）14により構成された増幅器バイパス手段としてのバイパス回路101が設けられたものとなっている。

以下、具体的に回路接続について説明すれば、まず、信号増幅用FET1は、例えば、MESFET（Metal Semiconductor Field Effect Transistor）が好適であり、本発明の実施の形態においては、nチャンネル・デプレッション型のいわゆるデュアルゲートを有するものが用いられたものとなっている。

この信号増幅用FET1の第1のゲート端子（G1）は、抵抗器21を介してグラウンドに接続されると共に、第1のDCカット用キャパシタ11及び入力インピーダンス整合回路34を介して高周波信号入力端子41に接続されたものとなっている。

【0016】

また、信号増幅用FET1のソース端子は、ソースインダクタ31を介してバイアスSW用FET2のドレイン端子及びソースキャパシタ15の一端に接続されたものとなっており、ソースキャパシタ15の他端は、グラウンドに接続された

ものとなっている。そして、バイアス SW 用 FET 2 のソース端子は、信号増幅用 FET 1 の第 2 のゲート端子 (G 2) と相互に接続されると共に、この相互の接続点とグラウンドとの間には、第 2 の抵抗器 (自己バイアス抵抗器) 22 とバイパスキャパシタ 16 が並列に接続されている。

さらに、信号増幅用 FET 1 のドレイン端子は、チョークインダクタ 32 を介して電源電圧印加端子 43 に接続されると共に、出力インピーダンス整合回路 35 及び第 2 の DC カット用キャパシタ 12 を介して高周波信号出力端子 42 に接続されている。

【0017】

一方、増幅器バイパス用 FET 3 は、例えば、n チャンネル・デプレッション型のものが用いられ、そのソース端子は、第 3 の DC カット用キャパシタ 13 を介して先の第 1 の DC カット用キャパシタ 11 と入力インピーダンス整合回路 34 の接続点に接続される一方、ドレイン端子は、第 4 の DC カット用キャパシタ 14 を介して信号増幅用 FET 1 のドレイン端子に接続されている。また、増幅器バイパス用 FET 3 のゲート端子は、第 5 の抵抗器 25 を介してグラウンドに接続される一方、ソース端子は、第 4 の抵抗器 24 を介して、ドレイン端子は、第 6 の抵抗器 26 を介して、共に第 2 のコントロール電圧印加端子 45 に接続されている。

【0018】

次に、上記構成における動作について説明する。

まず、第 2 のコントロール電圧印加端子 45 に印加されるコントロール電圧を V_{CONT45} とし、増幅器バイパス用 FET 3 のピンチオフ電圧を V_p であるとする。

最初に、利得可変を行わない場合 (最大利得を得る場合) には、電源電圧印加端子 43 には信号増幅用 FET 1 が動作するような電源電圧を印加し、第 1 のコントロール電圧印加端子 44 にはバイアス SW 用 FET 5 がオン (導通状態) となるようなバイアス電圧を印加し、かつ、第 2 のコントロール電圧印加端子 45 には、 $V_{CONT45} \geq -V_p$ となるような電圧を印加する。

その結果、信号増幅用 FET 1 が動作状態となる一方、増幅器バイパス用 FET

T3は、オフ状態（非導通状態）となる。

【0019】

そして、この利得可変を行わない状態において、増幅器バイパス用FET3のゲート幅Wgt、第3及び第4のDCカット用キャパシタ13、14の各々の容量値は、これら素子における高周波入力信号及び高周波出力信号の減衰を抑えるように最適化されているため、高周波信号入力端子41から入力インピーダンス整合回路34を介して入力された高周波信号は、増幅器バイパス用FET3において減衰することなく第1のDCカット用キャパシタ11を介して信号増幅用FET1の第1のゲート端子（G1）に入力され、増幅されてドレイン端子から出力された高周波信号は、増幅器バイパス用FET3にて減衰することなく、出力インピーダンス整合回路35及び第2のDCカット用キャパシタ12を介して高周波信号出力端子42に出力されることとなり、通常の増幅器と同様に動作して最大利得を得ることができる。

【0020】

一方、利得可変を行う場合（最小利得を得る場合）には、第1のコントロール電圧印加端子44にバイアスSW用FET2がオフ状態となるようなバイアス電圧を印加し、かつ、第2のコントロール電圧印加端子45には、 $V_{CONT45} \leq -V_p$ となるような電圧を印加する。

その結果、信号増幅用FET1がオフ状態となる一方、増幅器バイパス用FET3は、オン状態（導通状態）となる。この場合、信号増幅用FET1はオフ状態であるため、高周波入力信号は信号増幅用FET1を通過するのではなく、第3のDCカット用キャパシタ13、増幅器バイパス用FET3及び第4のDCカット用キャパシタ14にて構成されたバイパス回路101を通過することとなる。

【0021】

ここで、利得可変時における利得は、第3のDCカット用キャパシタ13、増幅器バイパス用FET3及び第4のDCカット用キャパシタ14で構成されたバイパス回路101における通過損失により決定されることとなるが、増幅器バイパス用FET3のゲート幅Wgt、第3及び第4のDCカット用キャパシタ13、

14の容量値を最適化することにより、利得可変時における利得及び利得減衰量を所望の値に任意に設定することが可能である。

【0022】

例えば、図3に示された従来回路においては、既に述べたように、利得可変時に高周波入力信号のレベルが増大すると、それに伴い信号増幅用FET1のソース端子、第2のゲート端子(G2)の電位が上昇し、その結果、信号増幅用FET1のドレイン端子及びソース端子並びに第2のゲート端子(G2)の各々の電位が同電位(0V)に近くなるため、本来であれば、非導通状態にあるべき信号増幅用FET1のドレイン・ソース間が導通状態となってしまう、増幅器バイパス用FET4を中心として構成されたバイパス回路を通過した高周波信号が、信号増幅用FET1のドレイン・ソース間を介してグラウンドに漏洩してしまう。この高周波信号の漏洩により、本来、高周波出力端子33へ出力されるべき高周波信号が減衰されてしまい、結果として、利得可変時に強電界の高周波信号の入力があると、増幅器の線形特性が損なわれてしまうこととなっていた。

【0023】

これに対して、本発明の実施の形態における利得可変型増幅器においては、既に述べたように、信号増幅用FET1の第2のゲート端子(G2)をバイアスSW用FET2のソース端子と第2の抵抗器(自己バイアス抵抗器)22との接続点に接続しているため、利得可変時に高周波入力信号のレベルが増大し、それにより信号増幅用FET1のソース端子の電圧が上昇したとしても、信号増幅用FET1の第2のゲート端子(G2)の電位は、ほぼ0Vに維持することができ、この第2のゲート端子(G2)の電圧を常にソース端子の電位よりも低く保持できることとなる。すなわち、利得可変時においては、信号増幅用FET1の第2のゲート端子(G2)を常にピンチオフ状態に設定することができるため、高周波信号入力端子41より強電界の高周波信号が入力された場合においても、信号増幅用FET1のドレイン・ソース間を絶えず非導通状態に保つことが可能となる。その結果、高周波信号入力端子41より入力された強電界の高周波信号は、バイパス回路101を通過した後、信号増幅用FET1のドレイン・ソース間を介してグラウンドに漏洩されることなく、すなわち、換言すれば、信号増幅用FET

T1による減衰を受けることなく、高周波信号出力端子42へ出力されることとなるため、結果として、本発明の実施の形態における利得可変型増幅器は、強電界の高周波信号が入力された場合においても、良好な線形特性を得ることが可能となるものである。

【0024】

図2には、本発明の実施の形態における利得可変型増幅器の利得可変時の入力電力に対する利得変化を示す特性線が示されており、既に図4に示された従来回路の同様な特性線と比較すると、例えば、従来回路の場合、利得が1dB圧縮された時の入力電力（以下、この場合の入力電力を「1dB利得圧縮時入力電力」と言う）が約-2.9dBmであるのに対して、本発明の実施の形態における利得可変型増幅器の場合、1dB利得圧縮時入力電力は、約+14.1dBmとなっており、従来回路と比較して1dB利得圧縮時入力電力が17dB程改善されていることが確認できる。

なお、上述した構成例においては、増幅器バイパス用FET3を1段構成としたが、所望に応じて直列に複数段接続した構成としても良いことは勿論である。

【0025】

【発明の効果】

以上、述べたように、本発明によれば、利得可変時、すなわち、換言すれば、最小利得を得る場合において強電界の高周波信号が入力された際に、非動作状態にあるべき信号増幅用のトランジスタが、強電界の高周波信号によって動作状態とされることがないように構成としたので、良好な入出力電力特性を得ることができ、そのため、無線通信機器に用いた場合には、受信性能を悪化させることなく、入力される信号レベルに応じて利得可変を行うことができるという効果を奏するものである。

【図面の簡単な説明】

【図1】

本発明の実施の形態における利得可変型増幅器の一回路構成例を示す回路図である。

【図2】

図 1 に示された利得可変型増幅器の利得可変時の入力電力に対する利得変化を示す特性グラフである。

【図 3】

従来の利得可変型増幅器の一回路構成例を示す回路図である。

【図 4】

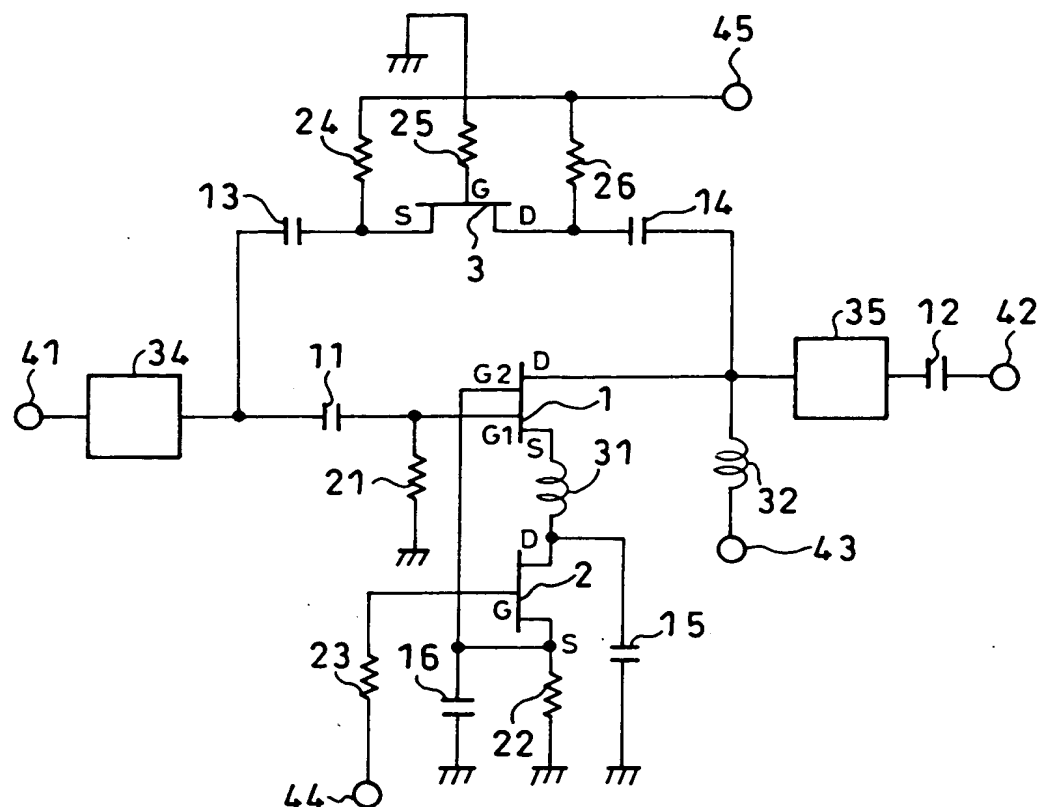
図 3 に示された従来の利得可変型増幅器における利得可変時の入力電力に対する利得変化を示す特性グラフである。

【符号の説明】

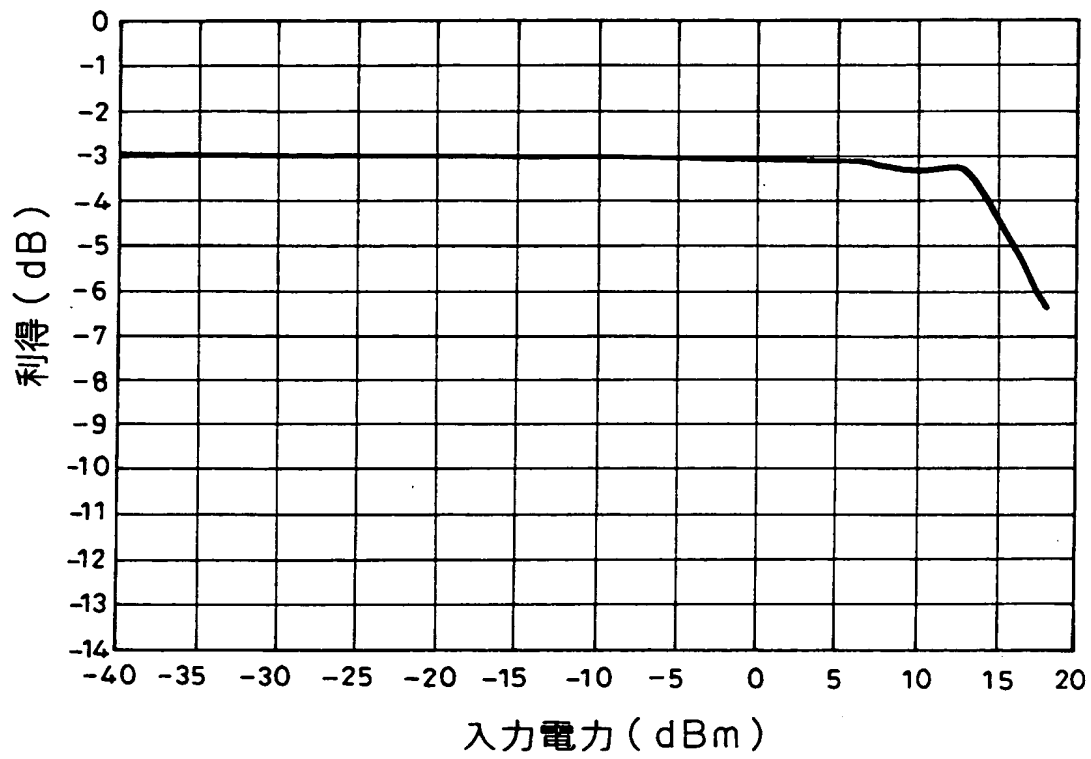
- 1 …信号増幅用 F E T
- 2 …バイアス S W 用 F E T
- 3 …増幅器バイパス用 F E T
- 3 4 …入力インピーダンス整合回路
- 3 5 …出力インピーダンス整合回路
- 4 1 …高周波信号入力端子
- 4 2 …高周波信号出力端子
- 4 3 …電源電圧印加端子
- 4 4 …第 1 のコントロール電圧印加端子
- 4 5 …第 2 のコントロール電圧印加端子

【書類名】 図面

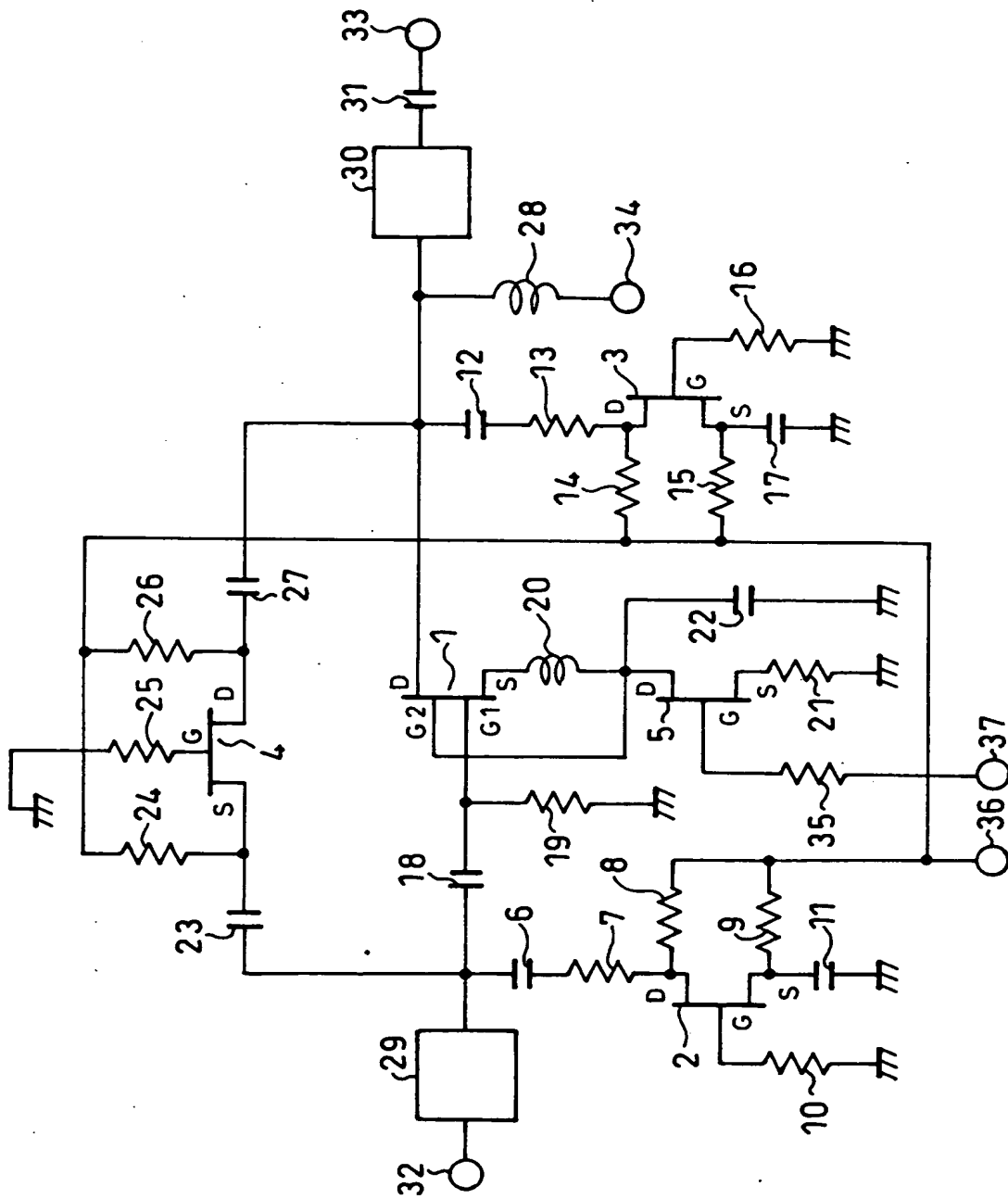
【図 1】



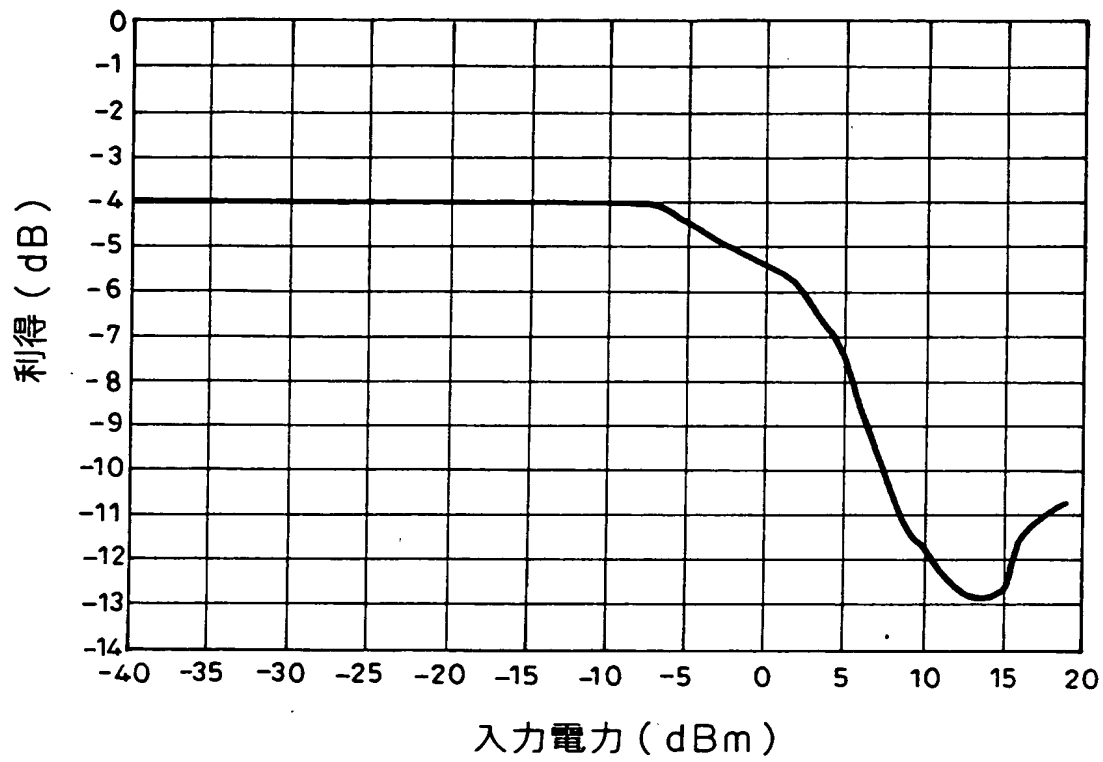
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 利得可変時における入出力電力特性の向上。

【解決手段】 信号増幅用 FET 1 には、増幅器バイパス用 FET 3 を中心として構成されてなるバイパス回路 101 が並列接続される一方、信号増幅用 FET 1 のソース端子側には、その動作を制御するバイアス SW 用 FET 2 が接続されており、このバイアス SW 用 FET 2 のソース端子と信号増幅用 FET 1 の第 2 のゲート端子 (G2) とが相互に接続されて、その接続点とグランドとの間には、自己バイアス抵抗器 22 とバイパスキャパシタ 16 がそれぞれ接続されており、利得可変時、すなわち、増幅器を最小利得とする場合に、信号増幅用 FET 1 の第 2 のゲート端子 (G2) の電圧を常にソース端子の電位よりも低く保持できるようにになっている。

【選択図】 図 1

特願 2003-058070

出願人履歴情報

識別番号

[000191238]

1. 変更年月日

1991年11月 6日

[変更理由]

住所変更

住 所

東京都目黒区下目黒1丁目8番1号

氏 名

新日本無線株式会社

2. 変更年月日

1995年 3月30日

[変更理由]

住所変更

住 所

東京都中央区日本橋横山町3番10号

氏 名

新日本無線株式会社